

Compito B

■ **DOMANDA 1** (10 minuti)

Relativamente all'implementazione *monociclo* della CPU della macchina MIPS senza pipelining (vedi schema), evidenziare il percorso dei dati relativo ad una istruzione I_w , ed assegnare i valori corretti a tutte le linee di controllo (per alcune di esse il valore può essere scelto casualmente perché influente).

■ **DOMANDA 2** (20 minuti)

Si consideri una memoria gerarchica comprendente un livello di cache e la memoria principale, con le seguenti caratteristiche:

- indirizzo da 16 bit
- blocchi da 4 parole
- cache ad indirizzamento diretto da 16 KB

Ipoteizzando che la CPU richieda la parola di indirizzo

1 1 0 1 1 0 1 0 1 1 0 1 1 0 0 0

si mostri come viene utilizzato l'indirizzo per gestire gli accessi in cache (fornire lo schema della cache).

■ **DOMANDA 3** (30 minuti)

Fornire una formulazione dettagliata del tempo di CPU relativo all'utente in una macchina con un livello di cache, *discutendo in particolare gli aspetti architetturali che incidono sul valore delle varie componenti e le interdipendenze tra tali componenti.*

■ **DOMANDA 4** (20 minuti)

Con riferimento alla *pipeline con schedulazione dinamica* specificare brevemente ma senza ambiguità:

1. il principio generale sottostante
2. quale è il ruolo delle stazioni di prenotazione
3. che differenze ci sono tra il PowerPC e il PentiumPro relativamente al trattamento dei bit prelevati dalla cache istruzioni!

Domanda 5 (30 minuti)

- **Valutare il numero di cicli di clock necessari a completare l'esecuzione di questo programma nel caso di pipeline semplice (si ipotizzi che il ciclo si esegue 50 volte).**
 - Si supponga di essere nel caso ideale di assenza di fallimenti in cache (perché è necessaria questa precisazione?)
 - Si adotti la tecnica basata sulla predizione di fallimento per la gestione delle criticità sul controllo
 - Si adotti la tecnica di propagazione per la risoluzione delle criticità sui dati (**SPIEGARLA**)
 - Si supponga di non poter effettuare il riordinamento del codice nel caso di criticità di tipo carica-e-usa

```
addi $t4,$s0,-4
add $t1,$t3,$s0
loop: st $t2,$t4,$t1
      beq $t2,$zero, exit
      addi $t4,$t4,4
      lw $t3,0($t4)
      add $s3,$s3,$t3
      j loop
      exit: sw $s3,0($t5)
```

■ **N.B. Evidenziare tutti gli anticipi e gli stalli necessari, specificando il numero di volte per cui si ripetono**